

REFERENCES
RE REJECTION

10.4.01

DERWENT-ACC-NO: 1998-093086
DERWENT-WEEK: 199809
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor device manufacture - involves setting aspect ratio including thickness of resist mask for contact hole, in upper shoulder part of sidewall spacer to be greater than two and lesser than 4.5

PATENT-ASSIGNEE: SONY CORP[SONY]

PRIORITY-DATA: 1996JP-0137055 (May 30, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 09320980 A	December 12, 1997	N/A	009	H01L 021/28

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP09320980A	N/A	1996JP-0137055	May 30, 1996

INT-CL_(IPC): H01L021/28; H01L021/3065

ABSTRACTED-PUB-NO: JP09320980A

BASIC-ABSTRACT: The method involves forming a set of gate electrodes (3) on a semiconductor substrate (1) through a gate insulating film (2). A side wall spacer (5) is formed by the side of the gate electrodes and an etching stopper layer (6) and an interlayer insulating film (7) are formed sequentially over one another. A resist mask (8) is formed on the interlayer insulating film corresponding to the gate electrodes. A self alignment type contact hole (9) is formed by carrying out anisotropic etching of the interlayer insulating film. The aspect ratio including the thickness of the resist mask for contact hole is set greater than two and lesser than 4.5 in an upper shoulder part (5) of the sidewall spacer.

ADVANTAGE - Prevents reduction of etching stopper film thickness during contact hole formation. Prevents short circuit generation, etching of side wall spacer and through-put reduction. Improves etching selection ratio of interlayer insulating film and etching stopper layer. Increases breakdown voltage.

CHOSEN-DRAWING: Dwg.4/6

TITLE-TERMS:

SEMICONDUCTOR DEVICE MANUFACTURE SET ASPECT RATIO THICK RESIST MASK CONTACT HOLE UPPER SHOULDER PART SIDEWALL SPACE GREATER TWO

ADDL-INDEXING-TERMS:

LSI

DERWENT-CLASS: L03 U11

CPI-CODES: L04-C06A; L04-C13A;

EPI-CODES: U11-C05F; U11-C07A1;

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開平9-320980

(43) 公開日 平成9年(1997)12月12日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28			H 0 1 L 21/28	F
				L
21/3065			21/302	J

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願平8-137055

(22) 出願日 平成8年(1996)5月30日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 白岩 利章

東京都品川区北品川6丁目7番35号 ソニー株式会社内

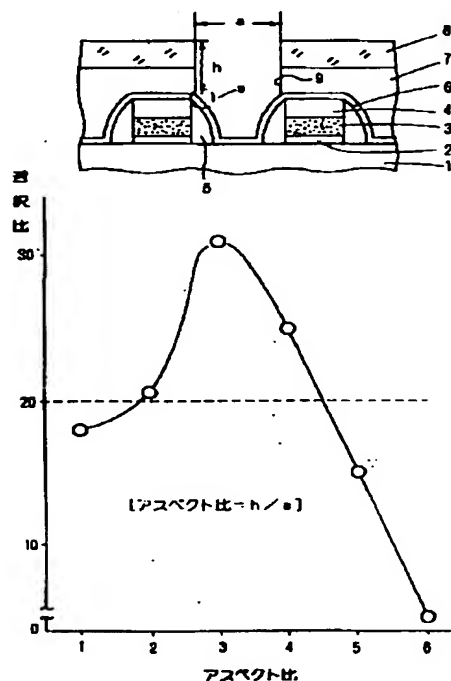
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 セルフアラインコンタクト形成工程におけるエッチングストップ層の膜減りを防止し、絶縁耐圧の低下や短絡を防止する。

【解決手段】 セルフアラインコンタクトホール9開口用のレジストマスク8の厚さを含むアスペクト比 h/a が、サイドウォールスペーサ5の肩部上部において略2以上4.5以下となるように、レジストマスク8の開口形状や厚さ等を制御する。

【効果】 SiO_2 等の層間絶縁膜と、 Si_3N_4 からなるサイドウォールスペーサ5とのエッチング選択比は、レジストマスク8の厚さを含むアスペクト比が略2以上4.5以下の範囲で最大値をとる。したがって、この範囲のアスペクト比を採用することにより、課題を達成することが可能である。



【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜を介して複数のゲート電極を形成する工程、

前記ゲート絶縁膜上および前記複数のゲート電極上全面に、サイドウォール形成層を形成する工程、

前記サイドウォール形成層を異方性エッチングして、前記複数のゲート電極側面にサイドウォールスペースを形成する工程、

全面にエッチングストップ層を形成する工程、

前記エッチングストップ層上に層間絶縁膜を形成する工程、

前記層間絶縁膜上に、前記複数のゲート電極間の半導体基板およびサイドウォールスペースに臨む開口部を有するレジストマスクを形成する工程、

前記レジストマスクをエッチングマスクとして、少なくとも前記層間絶縁膜を異方性エッチングし、セルフアラインコンタクトホールを開く工程を有する半導体装置の製造方法において、

前記セルフアラインコンタクトホールの、前記レジストマスクの厚さをも含めたアスペクト比は、

前記サイドウォールスペースの上部肩部分において、略2以上4.5以下であることを特徴とする半導体装置の製造方法。

【請求項2】 前記レジストマスクの開口平面形状は、複数の開口を有することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記エッチングストップ層は、窒化シリコン層を含むとともに、

前記層間絶縁膜は、酸化シリコン層を含むことを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、さらに詳しくは、セルフアラインコンタクト構造を高信頼性をもって形成する工程を有する、半導体装置の製造方法に関する。

【0002】

【従来の技術】LSI等の半導体装置の高集積度化、高性能化が進展するに伴い、ゲート電極や接続孔等のデザインルールもクォータミクロンあるいはそれ以下に縮小されつつある。かかる半導体装置においては、高集積度化に付随する各種問題点を回避するために、多層配線における層間接続構造においても、レイアウト上あるいはプロセス上に多数の工夫が採り込まれている。

【0003】その一例として、リソグラフィ時における露光装置のアライメントずれと寸法偏差の問題がある。現在の露光装置においては、マスクアライメント時の位置合わせ精度ずれは、ステッパで80nm、スキャンタイプのもので50nmと言われている。このため、例えば複数のゲート電極間への微細なコンタクトホール形成

が困難となりつつある。

【0004】この問題を解決するために案出された方法が、セルフアラインコンタクト(Self Align Contact)技術である。セルフアラインコンタクトは、ゲート電極等の側面にサイドウォールスペースおよびエッチングストップ層を形成しておくことにより、複数のゲート電極間の半導体基板の不純物拡散層等に臨む接続孔を、自己整合的に開口する方法である。セルフアラインコンタクトの採用により、微細な開口を有するレジストマスクを接続孔開口予定部に厳密に位置合わせする工程は不要となる。また位置合わせマージンも不要となるので、半導体チップやセル面積の縮小も可能となる。

【0005】従来のセルフアラインコンタクトの製造方法の概略を、図5および図6を参照して説明する。まず図5(a)に示すように、シリコン等の半導体基板1上にゲート絶縁膜2、ゲート電極3およびオフセット絶縁膜4を順次形成する。つぎに酸化シリコン等によるサイドウォール形成層(図示せず)を全面に堆積し、これを全面エッチバックして図5(b)に示すようにサイドウォールスペース5をゲート電極3およびオフセット絶縁膜4の側面に残し、さらに全面にSi₃N₄等のエッチングストップ層6をコンフォーマルに形成する。なおサイドウォールスペース5の形成工程の前後に、半導体基板1に不純物拡散層(図示せず)を形成する。この後図5(c)に示すように、酸化シリコン等の層間絶縁膜7を全面に形成し、さらにセルフアラインコンタクト開口用のレジストマスク8をパターニングする。レジストマスク8パターニングの露光時の正確な位置合わせは、さ

ほど厳密性を必要としない。さらに図6(d)に示すように、レジストマスク8をエッチングマスクとして層間絶縁膜7を異方性エッチングする。この際、対Si₃N₄選択比の高いエッチング条件を採用し、エッチングストップ層6上でエッチングを停止させる。この後、図6(e)に示すように、露出したエッチングストップ層6をウェットエッチングやイオン性の弱いドライエッチング等で除去し、半導体基板1の不純物拡散層に臨むセルフアラインコンタクトホール9を完成する。

【0006】エッチングストップ層6を除去して完成したセルフアラインコンタクトホール9部分の概略平面図を図6(e)に示す。セルフアラインコンタクトホール9の底部の開口は、サイドウォールスペース5により自己整合的に規制された位置と幅を有し、リソグラフィの解像限界以下の微小な開口幅とすることも可能である。

【0007】

【発明が解決しようとする課題】セルフアラインコンタクトプロセスにおける技術的キーポイントは、エッチングストップ層となるSi₃N₄に対する選択比の高いSiO₂エッチング条件の採用である。この選択比が不十分であると、エッチングストップ層がエッチング除去さ

れ、エッチングストップ層から露出したサイドウォールスペースやオフセット絶縁膜が膜減りし、この結果コンタクトプラグ/ゲート電極間の耐圧の低下や、短絡等の不具合が生じる。

【0008】 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 間のエッチング選択比を高める方法として、例えば第41回応用物理学関係連合講演会(1994年春季年会)講演予稿集p537、講演番号29p-ZF-2に報告されているように、CF系のエッチングガスにCOを添加した混合ガスを用いる方法がある。これは SiO_2 の異方性エッチングにおけるイオン性はある程度抑制し、主として Si_3N_4 上にカーボンリッチなCF系ポリマによる保護膜を堆積し、 SiO_2 のエッチングレートの低下は高密度プラズマエッチング装置を採用することにより選択比を得る方法である。

【0009】しかしながら、セルフアラインコンタクトの異方性エッチングにおいては、サイドウォールスペース5の上部肩部のエッチングストップ層6のエッチングレートが、平坦部のエッチングストップ層6のエッチングレートに比較して大きい、すなわち選択比が小さいという特異的な問題がある。これは、異方性エッチングのためにイオンの垂直入射性を高めると、サイドウォールスペース5上部肩部に堆積すべきCF系ポリマが、優先的にスパッタリング除去されるためである。この原因は、イオンによるスパッタリング効率は、イオン入射角が $40^\circ \sim 60^\circ$ で最大となるためとされる。サイドウォールスペース5上部肩部上のエッチングストップ層6部分での選択比を向上するため、異方性エッチングにおけるイオンモード性を弱めたり、過度のポリマ堆積を形成すると、高アスペクト比のコンタクトホール底部でエッチングが停止するという問題が新たに発生する。

【0010】本発明は上述したセルフアラインコンタクト形成工程を含む半導体装置の製造方法における、これら従来技術の問題点を解決することをその課題とする。すなわち本発明の課題は、エッチングストップ層として Si_3N_4 を用いたセルフアラインコンタクト加工を含む半導体装置の製造方法において、 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 間の選択比を向上し、かつスルーパットの高い異方性エッチングが可能な半導体装置の製造方法を提供することである。また本発明の別の課題は、絶縁耐圧の低下や短絡等の虞れのない、信頼性の高いセルフアラインコンタクト構造を有する半導体装置の製造方法を提供することである。

【0011】

【課題を解決するための手段】本発明は上述した技術的課題を達成するためになされたものである。すなわち本発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を介して複数のゲート電極を形成する工程、このゲート絶縁膜上および複数のゲート電極上全面に、サイドウォール形成層を形成する工程、サイドウォール形成

層を異方性エッチングして、先の複数のゲート電極側面にサイドウォールスペースを形成する工程、全面にエッチングストップ層を形成する工程、このエッチングストップ層上に層間絶縁膜を形成する工程、この層間絶縁膜上に、先の複数のゲート電極間の半導体基板およびサイドウォールスペースに臨む開口部を有するレジストマスクを形成する工程、このレジストマスクをエッチングマスクとして、少なくとも層間絶縁膜を異方性エッチングし、セルフアラインコンタクトホールを開口する工程を有する半導体装置の製造方法において、このセルフアラインコンタクトホールの、レジストマスクの厚さをも含めたアスペクト比は、サイドウォールスペース上部肩部分において、略2以上4.5以下であることを特徴とするものである。

【0012】本発明の半導体装置の製造方法の一実施態様においては、このレジストマスクの開口平面形状は、複数の開口を有していてもよい。また本発明の半導体装置の製造方法においては、エッチングストップ層は、窒化シリコン層を含むとともに、層間絶縁膜は、酸化シリコン層を含む場合に好ましく適用することができる。

【0013】つぎに作用の説明に移る。本発明者は、セルフアラインコンタクトの異方性エッチングにおけるキーポイントとなる、 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 間の選択比について鋭意検討を進めた結果、ガス種の実験等のエッチング条件の他に、セルフアラインコンタクトホール部分でのレジストマスクの厚さを含めた実質的なアスペクト比が、選択比に大きく影響することを見出した。この関係を図4を参照して説明する。

【0014】図4はセルフアラインコンタクト開口時の $\text{SiO}_2/\text{Si}_3\text{N}_4$ 間の選択比と、アスペクト比の関係を示すグラフである。エッチングは、マグネトロンRIE装置を採用し、エッチングガスはCF系ガスとして C_4F_8 と、COを含む混合ガスを用いた。またここで言うアスペクト比とは、セルフアラインコンタクトホール9のサイドウォールスペース5の上部肩部分(図4の点線円で囲った部分S)からレジストマスク8の表面までの距離hの値を、レジストマスク8の開口幅aの値で除した、 h/a の値である。

【0015】図4のグラフから明らかなように、アスペクト比が略2以上4.5以下の範囲で、エッチング選択比20以上を達成できることが判る。かかる高選択比条件を用いれば、S部分のエッチングストップ層6がエッチオフされる前に、セルフアラインコンタクトホール9底部の層間絶縁膜7を残渣なく除去することが充分可能である。このアスペクト比 h/a の値の制御は、レジストマスク8の開口径a、厚さ、あるいは層間絶縁膜の厚さ等の設計により可能である。またデバイス構造の関係から、アスペクト比が2未満とならざるを得ない場合がある。この場合にはレジストマスク8の開口平面形状を複数とし、開口径aを縮小することにより実質的なアス

5

ベクトル比を略2以上4.5以下の範囲に制御すればよい。

【0016】

【実施例】以下、本発明の具体的実施例につき、添付図面を参照して説明する。なお従来技術の説明に供した図5および図6中と同様の構成部分には、同一の参照符号を付すものとする。

【0017】実施例1

本実施例は、レジストマスクの開口平面形状を単一の開口とし、レジストマスクの厚さを制御することによりアスペクト比を制御し、 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 間の選択比を向上した例であり、これを図1参照して説明する。

【0018】本実施例で採用した被処理基板の構造は、基本的には従来例の説明に供した図5(c)で示したものと同様である。すなわち、本実施例で採用した被処理基板は図1(a)に示すように、例えばシリコン等の半導体基板1上に熱酸化により10nmの厚さに形成されたゲート絶縁膜2、 n^+ 多結晶シリコンからなる500nmの厚さの複数のゲート電極3、 SiO_2 からなる500nmの厚さのオフセット絶縁膜4、ゲート電極3およびオフセット酸化膜4の側面に形成された幅250nm*

第1段エッチング(層間絶縁膜7のエッチング)

C_4F_8 流量	10	sccm
CO 流量	150	sccm
Ar 流量	200	sccm
ガス圧力	5.3	Pa
RFパワー	1600	W(13.56MHz)
被処理基板温度	20	℃

第2段エッチング(エッチングストップ層6のエッチング)

CHF_3 流量	20	sccm
O_2 流量	20	sccm
ガス圧力	2.7	Pa
RFパワー	500	W(13.56MHz)
被処理基板温度	20	℃

【0020】本実施例で採用した被処理基板は、レジストマスク8の厚さを1.2 μm と比較的厚く形成することにより、セルフアラインコンタクトホール9のアスペクト比は、サイドウォールスペーサ6肩部上部において、レジストマスク8の厚さを含めて、2.5となるように設計してある。したがって、この部分での $\text{SiO}_2/\text{Si}_3\text{N}_4$ 間のエッチング選択比は、図4のグラフから明らかなように最も高い領域である。

【0021】このため、第1段エッチングにおいて最もスパッタアウトされ易いサイドウォールスペーサ5の肩部上部においても、エッチングストップ層6が消失する不具合は発生せず、したがってサイドウォールスペーサ5やオフセット絶縁膜4が膜減りすることもない。第2段エッチングを終了し、レジストマスク8を剥離した後のセルフアラインコンタクトホール9部分の平面形状を図1(c)に示す。セルフアラインコンタクトホール9※50

6

*mの厚さの SiO_2 からなるサイドウォールスペーサ5、全面に減圧CVDにより形成された、 Si_3N_4 からなる50nmの厚さのエッチングストップ層6、全面に形成された SiO_2 やPSG等からなる層間絶縁膜7、そして例えば1.2 μm の厚さに形成されたセルフアラインコンタクト開口用のレジストマスク8からなるものである。このレジストマスクには、サイドウォールスペーサ5およびサイドウォールスペーサ5間の半導体基板1に臨む例えば0.8 μm 径の単一の開口がパターンニングされている。このレジストマスク8パターンニングの露光時の正確な位置合わせは、さほど厳密性を必要としない。層間絶縁膜7の厚さは、例えばオフセット絶縁膜4上の平坦部で800nmであり、その表面はリフロ-熱処理や化学的機械研磨等により平坦化されていてもよい。また複数の隣接するゲート電極3間の距離は例えば850nmである。

【0019】かかる構造の被処理基板を、マグネトロンRIE装置により下記エッチング条件により2段階エッチングして、図1(b)に示すようにセルフアラインコンタクトホール9を形成した。

※底面には、半導体基板1とサイドウォールスペーサ5が露出している。この後、常法に準じて図示しないコンタクトプラグや上層配線を形成する。

【0022】本実施例によれば、単一の開口平面形状のレジストマスクの厚さを最適化することにより、 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 間のエッチング選択比を高め、形状に優れたセルフアラインコンタクトホールを有する半導体装置を製造することが可能である。

【0023】実施例2

本実施例は、レジストマスクの開口平面形状を複数の長円形状の開口とすることによりアスペクト比を制御し、 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 間の選択比を向上した例であり、これを図2参照して説明する。

【0024】本実施例で採用した図2(a)に示す被処理基板の構造は、基本的には従来例の説明に供した図5(c)で示したものと同様である。すなわち、シリコン

7

等の半導体基板1上に熱酸化により10nmの厚さに形成されたゲート絶縁膜2、 n^+ 多結晶シリコンからなる500nmの厚さの複数のゲート電極3、 SiO_2 からなる300nmの厚さのオフセット絶縁膜4、ゲート電極3およびオフセット酸化膜4の側面に形成された幅200nmの厚さの SiO_2 からなるサイドウォールスペーサ5、全面に減圧CVDにより形成された50nmの厚さのエッチングストッパ層6、全面に形成された SiO_2 やPSG等により形成された層間絶縁膜7、そして例えば0.5 μm の厚さに形成されたセルフアラインコンタクト開口用のレジストマスク8からなるものである。このレジストマスク8には、サイドウォールスペーサ5およびサイドウォールスペーサ5間の半導体基板1*

第1段エッチング（層間絶縁膜7のエッチング）

CF_4 流量	10	sccm
CO 流量	150	sccm
Ar 流量	200	sccm
ガス圧力	5.3	Pa
RFパワー	1600	W (13.56MHz)
被処理基板温度	20	℃

第2段エッチング（エッチングストッパ層6のエッチング）

CHF_3 流量	20	sccm
O_2 流量	20	sccm
ガス圧力	2.7	Pa
RFパワー	500	W (13.56MHz)
被処理基板温度	20	℃

【0026】本実施例で採用した被処理基板は、レジストマスク8の開口形状を複数に分割することにより、レジストマスク8の厚さを含めたセルフアラインコンタクトホール9開口の短径方向のアスペクト比は、サイドウォールスペーサ5の肩部上部において3.0となるように設計してある。したがって、この部分での SiO_2/Si_3N_4 間のエッチング選択比は図4のグラフから明らかに、最も高い値を示す。

【0027】このため、第1段エッチングにおいて最もスパッタアウトされ易いサイドウォールスペーサ5の肩部上部においても、エッチングストッパ層6が消失する不具合は発生せず、したがってサイドウォールスペーサ5やオフセット絶縁膜4が膜減りすることもない。第1段エッチング終了後のセルフアラインコンタクトホール9部分の形状を図2(b)に示す。この後イオンモードの弱い第2段エッチングでエッチングストッパ層6を除去し、さらにレジストマスク8を剥離してセルフアラインコンタクトホール9を完成した。セルフアラインコンタクトホール9部分の平面形状を図2(c)に示す。長円形の2つのセルフアラインコンタクトホール底面には、半導体基板1とサイドウォールスペーサ5が露出している。

【0028】この後常法に準じて図示しないコンタクトプラグや上層配線を形成する。セルフアラインコンタクト※50

8

*に臨む。例えば0.8 $\mu m \times 0.3\mu m$ 径の2つの長円形開口が平行にバターニングされており、2つの開口間のスリットは0.2 μm となっている。かかる形状のレジストマスクは、例えば化学増幅レジストとエキシマレーザリソグラフィにより形成することができる。このレジストマスク8バターニングの露光時の正確な位置合わせは、さほど厳密性を必要としない。層間絶縁膜7の厚さは、例えばオフセット絶縁膜4上の平坦部で400nmである。また複数の隣接するゲート電極3間の距離は1.0 μm である。

【0025】かかる構造の被処理基板を、マグネトロンRIE装置により下記エッチン条件により2段階エッチングした。

※トホール9にはスリット状の層間絶縁膜7のヒラーが残るが、コンタクトプラグや上層配線の形成時のステップカバレッジに支障を来さない限り、このまま残しておいてもよい。また別途等方性エッチング等により除去してからコンタクトプラグや上層配線を形成してもよい。

【0029】本実施例によれば、レジストマスクの開口平面形状を複数の長円形に分割することにより、 SiO_2/Si_3N_4 間のエッチング選択比を高め、形状に優れたセルフアラインコンタクトホールを有する半導体装置を製造することが可能である。

【0030】実施例3

本実施例は、レジストマスクの開口平面形状を同心円状の開口とすることによりアスペクト比を制御し、 SiO_2/Si_3N_4 間の選択比を向上した例であり、これを図3参照して説明する。

【0031】本実施例で採用した図3(a)に示す被処理基板の構造は、基本的には従来例の説明に供した図5(c)で示したものと同様である。すなわち、シリコン等の半導体基板1上に熱酸化により10nmの厚さに形成されたゲート絶縁膜2、 n^+ 多結晶シリコンからなる500nmの厚さの複数のゲート電極3、 SiO_2 からなる300nmの厚さのオフセット絶縁膜4、ゲート電極3およびオフセット酸化膜4の側面に形成された幅200nmの厚さの SiO_2 からなるサイドウォールスペーサ5が露出している。

一サ5、全面に減圧CVDにより形成された50nmの厚さのエッチングストップ層6、全面に形成されたSiO₂やPSG等により形成された層間絶縁膜7、そして例えば0.5μmの厚さに形成されたセルフアラインコンタクト開口用のレジストマスク8からなるものである。

【0032】このレジストマスク8は、図3(b)に示す開口平面形状に示すように、サイドウォールスペース5およびサイドウォールスペース5間の半導体基板1に望む例えば直径0.8μmの円形の開口を有し、同心円状に直径0.2μmのレジストピラー8aが形成されている。したがって、同心円状のレジストマスク8開口幅*

第1段エッチング(層間絶縁膜7のエッチング)

C ₄ F ₈ 流量	10	sccm
CO 流量	150	sccm
Ar 流量	200	sccm
ガス圧力	5.3	Pa
RFパワー	1600	W(13.56MHz)
被処理基板温度	20	℃

第2段エッチング(エッチングストップ層6のエッチング)

CHF ₃ 流量	20	sccm
O ₂ 流量	20	sccm
ガス圧力	2.7	Pa
RFパワー	500	W(13.56MHz)
被処理基板温度	20	℃

【0034】本実施例で採用した被処理基板は、レジストマスク8の開口形状を同心円状とすることにより、レジストマスク8の厚さを含めたセルフアラインコンタクトホール9の半径方向のアスペクト比は、サイドウォールスペース5の肩部上部において3.0となるように設計してある。したがって、この部分でのSiO₂/Si₃N₄間のエッチング選択比は図4のグラフから明らかのように最も高い値を示す。

【0035】このため、第1段エッチングにおいて最もスパッタアウトされ易いサイドウォールスペース5の肩部上部においても、エッチングストップ層6が消失する不具合は発生せず、したがってサイドウォールスペース5やオフセット絶縁膜4が膜減りすることもない。この後、第2段エッチングでエッチングストップ層6を除去後、レジストマスク8を剥離し、常法に準じて図示しないコンタクトプラグや上層配線を形成する。セルフアラインコンタクトホール9に円形の層間絶縁膜7のピラーが残るが、コンタクトプラグや上層配線の形成時のステップカバレッジに支障を来さない限り、このまま残しておいてよい。また別途等方性エッチング等により除去してからコンタクトプラグや上層配線を形成してもよい。

【0036】本実施例によれば、レジストマスクの開口平面形状を同心円状とすることにより、SiO₂/Si₃N₄間のエッチング選択比を高め、形状に優れたセルフアラインコンタクトホールを有する半導体装置を製造※50

*は0.3μmである。かかる形状のレジストマスクも、例えば化学増幅レジストとエキシマレーザーリソグラフィにより形成することができる。このレジストマスク8バターニングの露光時の正確な位置合わせは、さほど厳密性を必要としない。層間絶縁膜7の厚さは、例えばオフセット絶縁膜4上の平坦部で400nmである。また複数の隣接するゲート電極3間の距離は1.0μmである。

【0033】かかる構造の被処理基板を、マグネトロンRIE装置により下記エッチン条件により2段階エッチングして、図3(c)に示すようにセルフアラインコンタクトホール9を形成した。

※することが可能である。

【0037】以上、本発明を3例の実施例により詳細に説明したが、本発明はこれら実施例に何ら限定されるものではない。すなわち、実施例におけるレジストマスクや層間絶縁膜の厚さ、レジストマスクの開口径やその形状等は、サイドウォールスペース5の肩部上部において略2以上4.5以下となるように設計すればよく、実施例の形状に限定されない。またサイドウォールスペース5とエッチングストップ層を共用するセルフアラインコンタクト構造、すなわち、サイドウォールスペースをSi₃N₄により形成する場合にも本発明を適用することができる。また本発明の技術的思想を敷衍すれば、複数のゲート電極間のセルフアラインコンタクトに限らず、例えばゲート電極とLOCOS間の半導体基板に望むセルフアラインコンタクトの形成にも適用できることは自明である。またプラズマエッチング方法や装置等も各種変更が可能である。特にプラズマエッチング装置としてはECRプラズマエッチング装置、誘導結合プラズマエッチング装置やヘリコン波プラズマエッチング装置等、イオン密度の高いプラズマを発生しうるエッチング装置を使用することが均一性、低ダメージあるいはスルーアットの観点から好ましい。

【0038】

【発明の効果】以上の説明から明らかなように、本発明の半導体装置の製造方法によれば、エッチングストップ

11

層を利用したセルフアラインコンタクトホール加工において、層間絶縁膜とエッチングストップ層とのエッチング選択比が向上できる。エッチング選択比を過剰のポリマ堆積に依存する必要がないので、エッチングレート減少によるスルーアット低下の虞れもない。これにより、サイドウォールスペーサやオフセット絶縁膜のエッチングが防止され、ゲート電極とコンタクトプラグ間の距離を充分に確保できるので、絶縁耐圧が向上し、信頼性の高い高集積化された半導体装置の製造方法を提供することが可能となった。

【図面の簡単な説明】

【図1】本発明を適用した実施例1の工程を、その工程順に説明する概略断面図および平面図である。

【図2】本発明を適用した実施例2の工程を、その工程順に説明する概略断面図および平面図である。

【図3】本発明を適用した実施例3の工程を、その工程

12

順に説明する概略断面図および平面図である。

【図4】レジストマスクを含めたアスペクト比と、 $\text{SiO}_2 / \text{Si}_3\text{N}_4$ 間のエッチング選択比を示すグラフである。

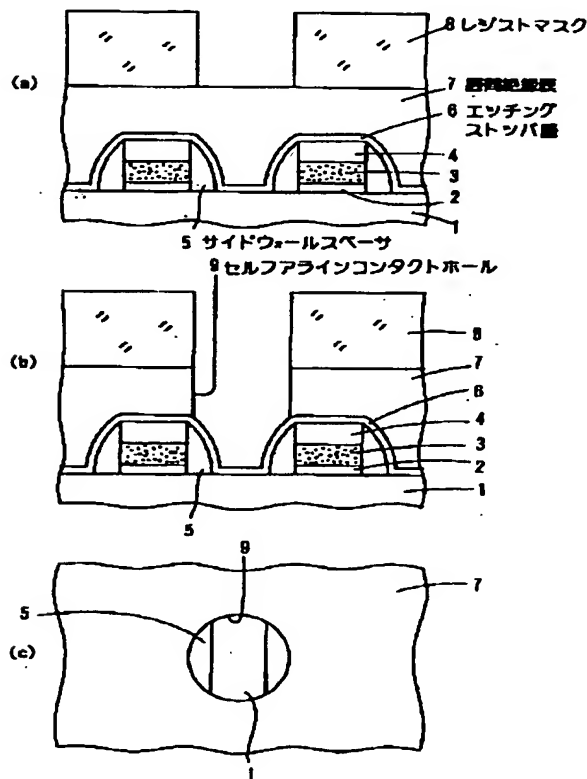
【図5】一般的なセルフアラインコンタクトの形成工程の、前半の工程を示す概略断面図である。

【図6】一般的なセルフアラインコンタクトの形成工程の、後半の工程を示す概略断面図および平面図である。

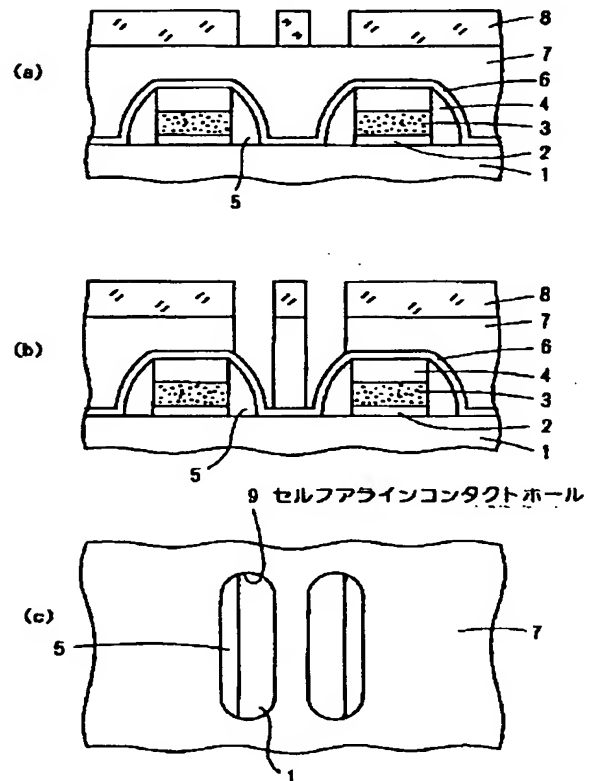
【符号の説明】

- 10 1…半導体基板、2…ゲート絶縁膜、3…ゲート電極、4…オフセット絶縁膜、5…サイドウォールスペーサ、6…エッチングストップ層、7…層間絶縁膜、8…レジストマスク、8a…レジストビラー、9…セルフアラインコンタクトホール、S…サイドウォールスペーサの肩部上部

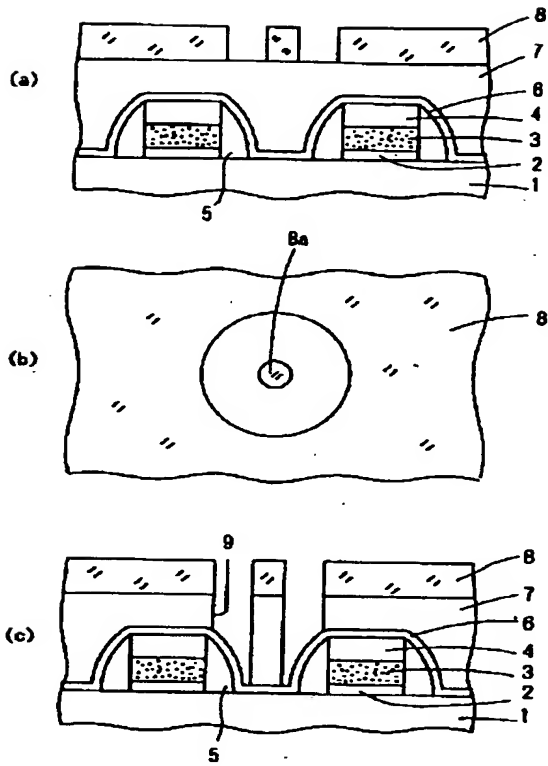
【図1】



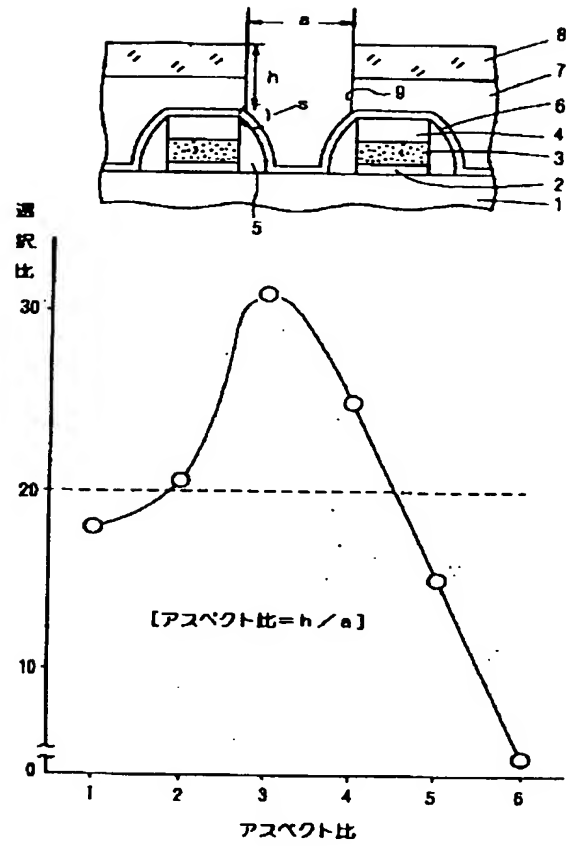
【図2】



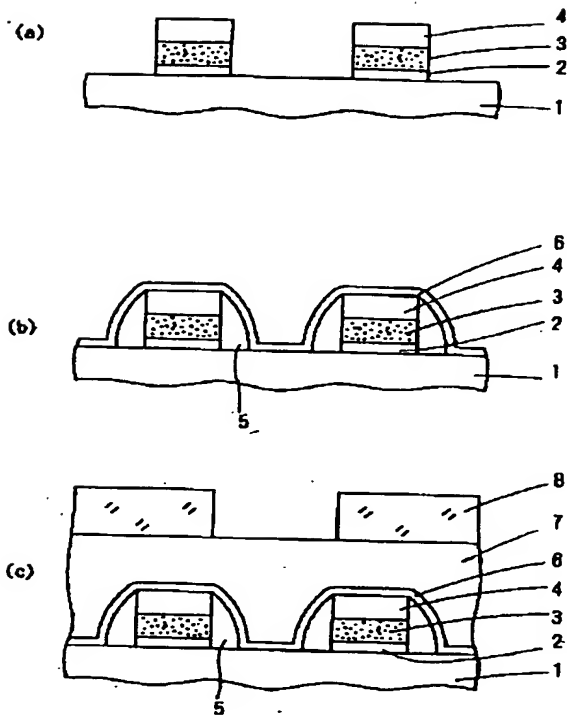
【図3】



【図4】



【図5】



【図6】

